

국내공개특허공보 제2002-66138호(2002.08.14) 1부.

특 2002-0066138

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.  
H01L 27/108

(11) 공개번호 특 2002-0066138  
(43) 공개일자 2002년 08월 14일

(21) 출원번호 10-2001-0006408  
(22) 출원일자 2001년 02월 09일  
(71) 출원인 삼성전자 주식회사  
(72) 발명자 경기 수원시 팔달구 매탄3동 416  
신철호  
경기도용인시수지구흥덕천리신정마을7단지703동1004호  
자경구  
서울특별시강남구대치동503개포우성아파트7동1103호  
(74) 대리인 임창현, 권혁수

심사청구 : 있음

(54) 디램 셀 및 그 제조방법

요약

디램 셀 및 그 제조방법을 제공한다. 반도체기판의 소정영역에 소자분리막을 형성하여 복수개의 활성영역을 한정한다. 각 활성영역에 한 쌍의 셀 트랜지스터들을 형성한다. 한 쌍의 셀 트랜지스터들은 하나의 공통 드레인 영역을 공유한다. 공통 드레인 영역 상에 비트라인 패드를 형성한다. 또한, 각 셀 트랜지스터의 소오스 영역 상에 스토리지 노드 패드를 형성한다. 비트라인 패드를 덮고 셀 트랜지스터들의 게이트 전극을, 즉 워드라인들과 평행한 비트라인 패드 보호막 패턴을 형성한다. 스토리지 노드 패드 상에 스토리지 노드를 형성한다. 스토리지 노드는 그 아래의 스토리지 노드 패드와 직접 접촉하고 비트라인 패드 보호막 패턴에 의해 비트라인 패드와 전기적으로 절연된다.

도면도

도 1a

평면도

도면의 간단한 설명

도 1은 종래의 디램 셀 어레이 영역의 일 부분을 보여주는 평면도이다.  
도 2a 내지 도 6a는 도 1의 I-I'에 따라 종래의 디램 셀을 제조하는 방법을 설명하기 위한 단면도들이다.  
도 2b 내지 도 6b는 도 1의 II-II'에 따라 종래의 디램 셀을 제조하는 방법을 설명하기 위한 단면도들이다.  
도 7은 본 발명에 따른 디램 셀 어레이 영역의 일 부분을 보여주는 평면도이다.  
도 8a 내지 도 12a는 도 7의 III-III'에 따라 본 발명에 따른 디램 셀을 제조하는 방법을 설명하기 위한 단면도들이다.  
도 8b 내지 도 12b는 도 7의 IV-IV'에 따라 본 발명에 따른 디램 셀을 제조하는 방법을 설명하기 위한 단면도들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 소자 및 그 제조방법에 관한 것으로, 특히 디램 셀 및 그 제조방법에 관한 것이다.  
반도체소자의 집적도가 증가함에 따라 배선들의 폭 및 그들 사이의 간격이 점점 좁아지고 있다. 이에 따라, 자기정렬 문막 기술이 고집적 반도체소자를 제조하는 데 있어서 널리 사용되고 있다. 특히, 고집적 디램 셀을 제조하는 데 있어서, 셀 트랜지스터의 공통 드레인 영역 및 소오스 영역 상에 각각 자기정렬 문막 기술을 사용하여 비트라인 패드 및 스토리지 노드 패드를 형성하고, 상기 스토리지 노드 패드 상에

특 2002-0066138

스토리지 노드 콘택 플러그 및 스토리지 노드를 차례로 형성하는 제조방법이 널리 사용되고 있다.

도 1은 종래의 디램 셀 어레이 영역의 일 부분을 보여주는 평면도이다.

도 1을 참조하면, 소자분리막에 의해 한정된 복수개의 활성영역(3a)이 반도체기판에 2차원적으로 배열된다. 상기 활성영역(3a)을 가로질러 복수개의 워드라인들(7)이 서로 평행하게 배치된다. 여기서, 상기 각 활성영역(3a)은 2개의 워드라인들(7)과 교차한다. 따라서, 상기 각 활성영역(3a)은 상기 2개의 워드라인들(7)에 의해 3개의 영역들로 나뉘어진다. 상기 2개의 워드라인들(7) 사이의 활성영역(3a)은 공통 드레인 영역에 해당하고, 상기 공통 드레인 영역의 양 옆에 위치한 활성영역들은 소오스 영역들에 해당한다. 상기 공통 드레인 영역 및 소오스 영역들은 상기 각 활성영역(3a)의 일 측에 배치된 패드격리 패턴(pad separation pattern; 17)에 의해 선택적으로 노출된다. 상기 각 소오스 영역 상에는 스토리지 노드 패드(21s)가 위치하고, 상기 공통 드레인 영역 상에는 비트라인 패드(21d)가 위치한다. 여기서, 상기 비트라인 패드(21d)는 상기 공통 드레인 영역과 인접한 소자분리막 상부까지 연장된다. 복수개의 평행한 비트라인들(27)이 상기 워드라인들(7)을 가로질러 배치된다. 상기 각 비트라인(27)은 이와 교차하는 비트라인 패드들(21d)과 상기 비트라인 콘택홀들(25)을 통하여 전기적으로 접속된다.

도 2a 내지 도 6a는 도 1의 I-I'에 따라 종래의 디램 셀을 제조하는 방법을 설명하기 위한 단면도들이고, 도 2b 내지 도 6b는 도 1의 II-II'에 따라 종래의 디램 셀을 제조하는 방법을 설명하기 위한 단면도들이다.

도 2a 및 도 2b를 참조하면, 반도체기판(1)의 소정영역에 소자분리막(3)을 형성하여 복수개의 활성영역들(도 1의 3a)을 한정한다. 상기 활성영역들 상에 게이트 산화막(5)을 형성한다. 상기 게이트 산화막(5)이 형성된 결과물 상에 상기 활성영역들을 가로지르는 복수개의 평행한 워드라인 패턴(10)을 형성한다. 상기 각 워드라인 패턴(10)은 차례로 적층된 워드라인(7) 및 워드라인 캐핑막 패턴(9)을 포함한다.

상기 워드라인 패턴(10) 및 상기 소자분리막(3)을 마스크로 사용하여 상기 활성영역들에 불순물 이온을 주입하여 불순물 영역들(11d, 11s)을 형성한다. 여기서, 상기 각 활성영역들을 가로지르는 한 쌍의 워드라인 패턴들(10) 사이의 활성영역에 형성된 불순물 영역(11d)은 디램 셀 트랜지스터의 공통 드레인 영역에 해당한다. 또한, 상기 공통 드레인 영역(11d)의 양 옆에 형성된 불순물 영역들(11s)은 디램 셀 트랜지스터의 소오스 영역들에 해당한다. 상기 워드라인 패턴들(10)의 측벽에 워드라인 스페이서(13)를 형성한다. 상기 워드라인 스페이서(13)를 갖는 반도체기판 전면에 패드 절연막(pad insulating layer; 15)을 형성한다.

도 3a 및 도 3b를 참조하면, 상기 패드 절연막(15) 상에 패드격리 패턴(pad separation pattern; 17)을 형성한다. 상기 패드격리 패턴(17)은 포토레지스트막을 사진공정으로 패터닝하여 형성한다. 상기 패드격리 패턴(17)을 식각 마스크로 사용하여 상기 패드절연막(15)을 식각하여 상기 공통 드레인 영역(11d)을 노출시키는 비트라인 패드 콘택홀(19d) 및 상기 소오스 영역(11s)을 노출시키는 스토리지 노드 패드 콘택홀(19s)을 형성한다. 이때, 상기 비트라인 패드 콘택홀(19d)은 상기 공통 드레인 영역(11d) 뿐만 아니라 이와 인접한 소자분리막(3)을 노출시킨다.

도 4a 및 도 4b를 참조하면, 상기 패드격리 패턴(17)을 제거한다. 상기 패드격리 패턴(17)이 제거된 결과물 전면에는 도우핑된 불순물층을 형성한다. 상기 워드라인 캐핑막 패턴들(9)이 노출될 때까지 상기 불순물층을 평탄화시켜서 상기 비트라인 패드 콘택홀(19d) 및 상기 스토리지 노드 패드 콘택홀(19s) 내에 각각 비트라인 패드(21d) 및 스토리지 노드 패드(21s)를 형성한다. 상기 비트라인 패드(21d) 및 스토리지 노드 패드(21s)를 포함하는 반도체기판 전면에는 비트라인 절연막(23)을 형성한다. 상기 비트라인 절연막(23)을 패터닝하여 상기 비트라인 패드(21d)를 노출시키는 비트라인 콘택홀(도 1의 25)을 형성한다.

상기 비트라인 콘택홀(25)이 형성된 결과물 전면에는 상기 비트라인 콘택홀(25)을 채우는 도전막 및 비트라인 캐핑막을 차례로 형성한다. 상기 비트라인 캐핑막 및 도전막을 연속적으로 패터닝하여 상기 워드라인 패턴들(10)을 가로지르는 복수개의 평행한 비트라인 패턴들(30)을 형성한다. 상기 각 비트라인 패턴(30)은 차례로 적층된 비트라인(27) 및 비트라인 캐핑막 패턴(29)을 포함한다. 또한, 상기 각 비트라인(27)은 상기 비트라인 콘택홀(25)을 통하여 비트라인 패드(21d)와 전기적으로 접속된다. 상기 비트라인 패턴(30)의 측벽에 비트라인 스페이서(31)를 형성한다. 상기 비트라인 스페이서(31)를 포함하는 반도체기판 전면에는 층간절연막(33)을 형성한다.

도 5a 및 도 5b를 참조하면, 상기 층간절연막(33) 및 상기 비트라인 절연막(23)을 연속적으로 패터닝하여 상기 스토리지 노드 패드(21s)를 노출시키는 스토리지 노드 플러그 콘택홀을 형성한다. 이때, 상기 비트라인 캐핑막 패턴(29) 및 비트라인 스페이서(31)는 식각저지막 역할을 한다. 따라서, 상기 워드라인 패턴(10)과 평행한 상기 스토리지 노드 플러그 콘택홀의 폭은 상기 비트라인 패턴들(30) 사이의 간격에 의해 결정된다. 이에 반하여, 상기 워드라인 패턴(10)과 수직인 상기 스토리지 노드 플러그 콘택홀의 폭(4)은 도 5a에 도시된 바와 같이 제약을 받는다. 즉, 상기 스토리지 노드 패드(21s)와 이웃한 상기 비트라인 패드(21d)는 상기 스토리지 노드 플러그 콘택홀에 의해 노출되지 않아야 한다. 따라서, 상기 스토리지 노드 플러그 콘택홀의 측벽은 상기 비트라인 패드(21d)와 일정거리(d)만큼 이격되어야만 한다. 결과적으로, 상기 스토리지 노드 플러그 콘택홀의 단면적을 최대화시키는 데 있어서 제약이 따른다.

상기 스토리지 노드 플러그 콘택홀을 갖는 반도체기판 전면에는 상기 스토리지 노드 플러그 콘택홀을 채우는 도전막을 형성한다. 상기 비트라인 캐핑막 패턴들(29)이 노출될 때까지 상기 도전막을 평탄화시켜서 상기 스토리지 노드 플러그 콘택홀 내에 스토리지 노드 플러그(35s)를 형성한다.

도 6a 및 도 6b를 참조하면, 상기 스토리지 노드 플러그(35s)를 포함하는 반도체기판 전면에는 식각저지막(37) 및 하부 희생절연막(lower sacrificial insulating layer; 39)을 차례로 형성한다. 상기 식각저지막(37)은 상기 하부 희생절연막(39) 및 상기 층간절연막(33)에 대하여 식각 선택비를 갖는 물질막으로 형성한다. 상기 하부 희생절연막(39) 및 식각저지막(37)을 차례로 패터닝하여 상기 스토리지 노드 플러그(35s)를 노출시키는 스토리지 노드 홈을 형성한다. 상기 스토리지 노드 홈이 형성된 결과물 전면에는 콘포말한 도전막(conformal conductive layer), 즉 콘포말한 도우핑된 불순물층을 형성한다. 이어서, 상기 콘포말한 도전막 상에 상기 스토리지 노드 홈을 채우는 상부 희생절연막(upper sacrificial

록 2002-0066138

insulating layer)을 형성한다. 상기 하부 회상절연막(38)의 상부면이 노출될 때까지 상기 상부 회상절연막 및 콘포압한 도전막을 연속적으로 평탄화시킨다. 이에 따라, 상기 스토리지 노드 홀 내에 실린더형의 스토리지 노드(41)가 형성되고, 상기 스토리지 노드(41)의 내부에 상부 회상절연막 패턴(43)이 진존한다.

상술한 바와 같이 종래의 디램 셀 제조방법에 따르면, 제조공정이 복잡할 뿐만 아니라, 스토리지 노드 및 소오스 영역 사이에 스토리지 노드 패드 및 스토리지 노드 플러그가 개재된다. 따라서, 스토리지 노드 및 소오스 영역 사이의 콘택저항을 감소시키는 것과 아울러 제조공정을 단순화시키는 것이 요구된다.

#### 본 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 제조공정의 단순화와 아울러 스토리지 노드의 낮은 콘택저항을 얻을 수 있는 디램 셀을 제공하는 데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 제조공정을 단순화시킬 수 있음은 물론 스토리지 노드의 콘택저항을 감소시킬 수 있는 디램 셀 제조방법을 제공하는 데 있다.

#### 본 발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여 본 발명은 디램 셀을 제공한다. 이 디램 셀은 반도체기판의 소정영역에 형성된 소자분리막 및 상기 소자분리막에 의해 한정된 적어도 하나의 활성영역을 포함한다. 상기 활성영역의 상부를 가로질러 한 쌍의 평행한 워드라인 패턴들이 배치된다. 상기 한 쌍의 평행한 워드라인 패턴들 사이의 활성영역 상에 비트라인 패드가 위치하고, 상기 비트라인 패드의 양 옆의 활성영역 상에 스토리지 노드 패드들이 위치한다. 상기 비트라인 패드는 비트라인 패드 보호막 패턴에 의해 덮여진다. 상기 비트라인 패드 보호막 패턴은 상기 워드라인 패턴들과 평행하게 달리고, 상기 스토리지 노드 패드들 홈 노출시킨다. 상기 각 스토리지 노드 패드 상에 스토리지 노드가 배치된다. 상기 스토리지 노드는 상기 스토리지 노드 패드와 직접 접촉하고, 상기 비트라인 패드와는 상기 비트라인 패드 보호막 패턴에 의해 전기적으로 절연된다.

바람직하게는, 상기 각 워드라인 패턴은 차례로 적층된 워드라인 및 워드라인 캐핑막 패턴을 포함한다. 또한, 본 발명은 상기 각 워드라인 패턴의 측면 상에 형성된 워드라인 스페이서를 더 구비한다. 따라서, 상기 워드라인은 워드라인 캐핑막 패턴 및 워드라인 스페이서에 의해 둘러싸여진다.

이에 더하여, 본 발명은 상기 워드라인 패턴들의 상부를 가로지르는 비트라인 패턴을 더 포함한다. 상기 비트라인 패턴은 서로 이웃하는 스토리지 노드들 사이에 개재된다. 상기 비트라인 패턴은 차례로 적층된 비트라인 및 비트라인 캐핑막 패턴을 포함한다. 또한, 본 발명은 상기 비트라인 패턴의 측면 상에 형성된 비트라인 스페이서를 더 포함한다. 따라서, 상기 비트라인은 상기 비트라인 스페이서에 의해 상기 스토리지 노드와 전기적으로 절연된다. 상기 비트라인은 상기 비트라인 패드 보호막 패턴을 관통하는 비트라인 콘택홀을 통하여 상기 비트라인 패드와 전기적으로 연결된다.

상기 다른 기술적 과제를 달성하기 위하여 본 발명은 디램 셀 제조방법을 제공한다. 이 방법은 반도체기판의 소정영역에 소자분리막을 형성하여 적어도 하나의 활성영역을 한정한다. 상기 활성영역의 상부를 가로지르는 한 쌍의 평행한 워드라인 패턴들을 형성한다. 상기 한 쌍의 워드라인 패턴들 사이의 활성영역 상에 비트라인 패드를 형성함과 동시에 상기 비트라인 패드의 양 옆의 활성영역 상에 스토리지 노드 패드들을 형성한다. 상기 비트라인 패드들을 덮고 상기 워드라인 패턴들과 평행한 비트라인 패드 보호막 패턴을 형성한다. 상기 스토리지 노드 패드들은 상기 비트라인 패드 보호막 패턴에 의해 노출된다. 상기 각 스토리지 노드 패드 상에 스토리지 노드를 형성한다. 상기 스토리지 노드는 그 아래의 상기 스토리지 노드 패드와 직접적으로 접촉하고, 상기 비트라인 패드와는 상기 비트라인 패드 보호막 패턴에 의해 전기적으로 절연된다.

상기 비트라인 패드 보호막 패턴은 상기 비트라인 패드 및 상기 스토리지 노드 패드들이 형성된 결과물 전면에 비트라인 패드 보호막을 증착시키고, 상기 비트라인 패드 보호막을 패터닝함으로써 형성된다. 상기 비트라인 패드 보호막은 실리콘 질화막으로 형성하는 것이 바람직하다.

상기 스토리지 노드들을 형성하는 공정은 상기 비트라인 패드 보호막 패턴이 형성된 결과물 상에 상기 워드라인 패턴들을 가로지르는 평행한 비트라인 패턴을 형성하고, 상기 비트라인 패턴이 형성된 결과물 전면 하부 회상막을 형성하고, 상기 하부 회상막을 패터닝하여 상기 스토리지 노드 패드들을 노출시키는 스토리지 노드 홀을 형성하고, 상기 스토리지 노드 홀 내에 스토리지 노드를 형성하는 것을 포함한다.

이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

도 7은 본 발명에 따른 디램 셀 아래 영역의 일 부분을 보여주는 개략적인 평면도이다. 또한, 도 12a는 도 7의 III-III'에 따라 취해진 단면도이고, 도 12b는 도 7의 IV-IV'에 따라 취해진 단면도이다. 여기서, 도 12a 및 도 12b는 본 발명에 따른 디램 셀 제조방법에 의해 형성된 디램 셀 구조를 보여주는 단면도들이다.

도 7, 도 12a 및 도 12b를 참조하면, 반도체기판(51)의 소정영역에 소자분리막(53)이 형성된다. 상기 소자분리막(53)은 2차원적으로 배열된 복수개의 활성영역들(53a)을 한정한다. 상기 복수개의 활성영역(53a)을 가로질러 복수개의 평행한 워드라인 패턴들(60)이 배치된다. 상기 각 워드라인 패턴(60)은 차례로 적층된 워드라인(57) 및 워드라인 캐핑막 패턴(59)을 포함한다. 상기 각 활성영역(53a)은 한 쌍의 워드라인 패턴들(60)과 교차한다. 이에 따라, 상기 각 활성영역(53a)은 3개의 부분으로 나뉘어진다. 상기 한 쌍

특 2002-0066138

의 워드라인 패턴들(60) 사이의 활성영역에 공통 드레인 영역(61d)이 형성되고, 상기 공통 드레인 영역(61d)의 양 옆에 위치하는 활성영역들(53a)에 소오스 영역들(61s)이 형성된다. 상기 워드라인 패턴(60)의 측면 상에 워드라인 스페이서(63)가 위치하고, 상기 워드라인 패턴(60) 및 활성영역(53a) 사이에는 게이트 절연막(55)이 개재된다.

상기 공통 드레인 영역(61d) 및 소오스 영역(61s)은 상기 활성영역들(53a)의 일 측에 배치된 바형(bar-shaped)의 패드 격리 패턴(pad separation pattern; 67)에 의해 선택적으로 노출된다. 상기 소오스 영역(61s) 상에는 스토리지 노드 패드(71s)가 위치하고, 상기 공통 드레인 영역(61d) 상에는 비트라인 패드(71d)가 위치한다. 여기서, 상기 비트라인 패드(71d)는 상기 공통 드레인 영역(61d)와 인접한 소자분리막(53) 상부까지 연장된다. 상기 비트라인 패드(71d)는 상기 워드라인들(57)과 평행한 비트라인 패드 보호막 패턴(bit line pad protection layer pattern; 73)에 의해 덮여진다. 복수개의 평행한 비트라인 패턴들(83)이 상기 워드라인들(57)을 가로질러 배치된다. 상기 각 비트라인 패턴(83)은 차례로 적층된 비트라인(79) 및 비트라인 캐핑막 패턴(81)을 포함한다. 상기 각 비트라인(79)은 상기 비트라인 패드 보호막 패턴(73)들을 관통하는 비트라인 콘택홀들(77)을 통하여 상기 비트라인(79)과 교차하는 비트라인 패드들(71d)과 전기적으로 접속된다.

상기 스토리지 노드 패드(71s) 상에 실린더형의 스토리지 노드(93)가 위치한다. 상기 스토리지 노드(93)는 상기 스토리지 노드 패드(71s)와 직접적으로 접촉한다. 상기 스토리지 노드(93)는 상기 비트라인 패드 보호막 패턴(73)에 기인하여 상기 비트라인 패드(71d)와 전기적으로 절연된다. 상기 각 비트라인 패턴(83)은 상기 워드라인들(57)과 평행한 직선 상에 위치한 스토리지 노드들(93) 사이에 개재된다. 상기 스토리지 노드(93)는 상기 비트라인 패턴(83)의 측면에 위치하는 비트라인 스페이서(85)에 의해 상기 비트라인(79)과 전기적으로 절연된다. 상기 스토리지 노드(93) 상에 유전체막(97) 및 플레이트 전극(99)이 차례로 적층된다.

도 8a, 도 9a, 도 10a, 도 11a 및 도 12a는 도 7의 III-III에 따라 본 발명에 따른 디램 셀 제조방법을 설명하기 위한 단면도들이고, 도 8b, 도 9b, 도 10b, 도 11b 및 도 12b는 도 7의 IV-IV에 따라 본 발명에 따른 디램 셀 제조방법을 설명하기 위한 단면도들이다.

도 8a 및 도 8b를 참조하면, 제1 도전형을 갖는 반도체기판(51)의 소정영역에 소자분리막(53)을 형성하여 2차원적으로 배열된 복수개의 활성영역들(도 7의 53a)을 한정한다. 상기 활성영역들 상에 게이트 절연막(55)을 형성한다. 상기 게이트 절연막(55)이 형성된 결과물 전면에 도전막 및 워드라인 캐핑막을 차례로 형성한다. 상기 도전막은 도우핑된 폴리실리콘막 또는 금속 폴리사이드막으로 형성한다. 또한, 상기 워드라인 캐핑막은 촉각절연막으로 널리 사용되는 실리콘 산화막에 대하여 식각 선택비를 갖는 절연막, 예컨대 실리콘 질화막으로 형성하는 것이 바람직하다. 상기 워드라인 캐핑막 및 도전막을 연속적으로 패터닝하여 상기 활성영역들을 가로지르는 복수개의 평행한 워드라인 패턴들(60)을 형성한다. 상기 각 워드라인 패턴(60)은 차례로 적층된 워드라인(57) 및 워드라인 캐핑막 패턴(59)을 포함한다. 또한, 상기 각 활성영역은 2개의 워드라인 패턴들(60)과 교차한다.

상기 워드라인 패턴들(60) 및 상기 소자분리막(53)을 이온주입 마스크로 사용하여 상기 반도체기판(51)에 상기 제1 도전형과 반대되는 제2 도전형의 불순물 이온을 주입하여 상기 각 워드라인 패턴(60)의 양 옆에 제2 도전형의 불순물 영역들(61d, 61s)을 형성한다. 상기 제2 도전형의 불순물 이온들은 인(phosphorus) 이온들이거나 것이 바람직하고,  $1 \times 10^{14}$  내지  $1 \times 10^{16}$  ion atoms/cm<sup>2</sup>의 낮은 도우즈(dose)로 주입하는 것이 바람직하다. 상기 각 활성영역의 상부를 가로지르는 상기 한 쌍의 워드라인 패턴들(60) 사이에 형성된 불순물 영역(61d)은 공통 드레인 영역에 해당한다. 또한, 상기 공통 드레인 영역(61d)의 양 옆에 형성된 불순물 영역들(61s)은 소오스 영역들에 해당한다.

상기 공통 드레인 영역(61d) 및 소오스 영역(61s)을 형성한 다음, 상기 워드라인 패턴들(60)의 측면 상에 통상의 방법을 사용하여 워드라인 스페이서(63)를 형성한다. 상기 워드라인 스페이서(63)는 상기 워드라인 캐핑막 패턴(59)과 동일한 물질막으로 형성하는 것이 바람직하다. 상기 워드라인 스페이서(63)를 포함하는 반도체기판 전면에 패드 절연막(pad insulating layer; 65), 예컨대 실리콘 산화막을 형성한다. 상기 패드 절연막(65) 상에 패드격리 패턴(pad separation pattern; 도 7의 67)을 형성한다. 상기 패드격리 패턴(67)은 도 7에 도시된 바와 같이 상기 활성영역의 일 측에 형성된다. 상기 패드격리 패턴(67)은 통상의 사진공정을 사용하여 포토레지스트막으로 형성한다.

상기 패드격리 패턴(67)을 식각 마스크로 사용하여 상기 패드절연막(65)을 식각하여 상기 공통 드레인 영역(61d)을 노출시키는 비트라인 패드 콘택홀 및 상기 소오스 영역(61s)을 노출시키는 스토리지 노드 패드 콘택홀을 형성한다. 이때, 상기 워드라인 캐핑막 패턴(59) 및 상기 워드라인 스페이서(63)는 식각저지막 역할을 한다. 상기 비트라인 패드 콘택홀들은 상기 공통 드레인 영역(61d) 뿐만 아니라 이와 인접한 소자분리막(53)을 노출시킨다. 상기 패드 콘택홀들이 형성된 결과물 전면에 상기 패드 콘택홀들을 채우는 도전막, 예컨대 도우핑된 폴리실리콘막을 형성한다. 상기 워드라인 캐핑막 패턴(59)의 상부면이 노출될 때까지 상기 도전막을 평탄화시키어 상기 비트라인 패드 콘택홀 및 상기 스토리지 노드 패드 콘택홀 내에 각각 비트라인 패드(71d) 및 스토리지 노드 패드(71s)를 형성한다. 이에 따라, 상기 비트라인 패드(71d)는 도 7에 도시된 바와 같이 공통 드레인 영역(61d) 뿐만 아니라 이와 인접한 소자분리막(53)을 덮는다.

도 9a 및 도 9b를 참조하면, 비트라인 패드(71d) 및 스토리지 노드 패드(71s)를 포함하는 반도체기판 전면에 비트라인 패드 보호막을 형성한다. 상기 비트라인 패드 보호막은 실리콘 산화막에 대하여 식각 선택비를 갖는 절연막, 예컨대 실리콘 질화막으로 형성하는 것이 바람직하다. 다음에, 상기 비트라인 패드 보호막을 패터닝하여 상기 비트라인 패드(71d)를 덮고 상기 워드라인 패턴들(60)과 평행한 비트라인 패드 보호막 패턴(73)을 형성한다. 상기 비트라인 패드 보호막 패턴(73)을 포함하는 반도체기판 전면에 비트라인 절연막(75)을 형성한다. 상기 비트라인 절연막(75)은 실리콘 산화막으로 형성하는 것이 바람직하다.

상기 비트라인 절연막(75) 및 상기 비트라인 패드 보호막 패턴(73)을 연속적으로 패터닝하여 상기 비트라인 패드(71d)를 노출시키는 비트라인 콘택홀(도 7의 77)을 형성한다. 상기 비트라인 콘택홀이 형성된 결과물 전면에, 상기 비트라인 콘택홀을 채우는 도전막 및 비트라인 캐핑막을 차례로 형성한다. 상기 비트라인 캐핑막 및 도전막을 패터닝하여 상기 워드라인 패턴들(60)을 가로지르고 상기 비트라인 콘택홀을 덮는

특 2002-0066138

복수개의 평행한 비트라인 패턴들(83)을 형성한다. 상기 각 비트라인 패턴(83)은 차례로 적층된 비트라인(79) 및 비트라인 캐핑막 패턴(81)을 포함한다. 상기 비트라인(79)은 텅스텐막 또는 텅스텐 폴리사이드막과 같은 도전막으로 형성하고, 상기 비트라인 캐핑막 패턴(81)은 실리콘 산화막에 대하여 식각 선택비율을 갖는 절연체막, 예컨대 실리콘 질화막으로 형성한다. 상기 비트라인 패턴들(83)의 측면을 상에 비트라인 스페이서(85)를 형성한다. 상기 비트라인 스페이서(85) 역시 실리콘 산화막에 대하여 식각 선택비율을 갖는 절연체막, 예컨대 실리콘 질화막으로 형성한다.

도 10a 및 도 10b를 참조하면, 상기 비트라인 패턴들(83) 및 비트라인 스페이서(85)를 포함하는 반도체기판 전면에 하부 희생막(90)을 형성한다. 상기 하부 희생막(lower sacrificial layer; 90)은 하부 희생절연막(lower sacrificial insulating layer; 87) 및 화학기계적 연마 저지막(chemical mechanical polishing stopper layer; 89)을 차례로 적층시키어 형성하는 것이 바람직하다. 상기 하부 희생절연막은 실리콘 산화막으로 형성하는 것이 바람직하고, 상기 화학기계적 연마 저지막(89)은 실리콘 질화막으로 형성하는 것이 바람직하다. 상기 하부 희생막(90) 및 상기 비트라인 절연막(75)을 연속적으로 패턴화하여 상기 스토리지 노드 패드(71a)를 노출시키는 스토리지 노드 홈(91)을 형성한다. 이때, 상기 비트라인 패턴들(73), 비트라인 캐핑막 패턴(81) 및 비트라인 스페이서(85)는 식각저지막(etch stopper) 역할을 한다. 따라서, 상기 스토리지 노드 홈을 형성하기 위한 사진공정을 실시하는 동안 비트라인 패턴(83)과 평행한 방향을 따라 오정렬이 발생할지라도, 상기 비트라인 패드 보호막 패턴(73)에 기인하여 상기 비트라인 패드(71d)가 노출되는 것을 방지할 수 있다.

도 11a 및 도 11b를 참조하면, 상기 스토리지 노드 홈(91)이 형성된 결과를 전면에 콘포말한(conformal) 도전막, 예컨대 도우칠된 폴리실리콘막을 형성한다. 이어서, 상기 콘포말한 도전막 상에 상기 스토리지 노드 홈을 완전히 채우는 상부 희생막(upper sacrificial layer)을 형성한다. 상기 상부 희생막은 상기 하부 희생절연막(87)과 동일한 절연막으로 형성하는 것이 바람직하다. 상기 화학기계적 연마 저지막(89)의 상부면이 노출될 때까지 상기 상부 희생막 및 도전막을 연속적으로 평탄화시키어 상기 스토리지 노드 홈(91) 내에 실린더형(cylinder-shaped) 스토리지 노드(93)를 형성함과 동시에 상기 스토리지 노드(93) 내부에 잔존하는 상부 희생막 패턴(95)을 형성한다.

도 12a 및 도 12b를 참조하면, 상기 화학기계적 연마 저지막(89)을 제거한다. 이어서, 상기 하부 희생절연막(87), 비트라인 절연막(75) 및 상부 희생막 패턴(95)을 제거하여 상기 스토리지 노드(93)의 내벽(inner wall) 및 외측벽(outer sidewall)을 노출시킨다. 계속해서, 상기 스토리지 노드(93)의 내벽 및 외측벽이 노출된 결과를 전면에 유전체막(97) 및 플레이트 전극(99)을 차례로 형성한다.

#### 효율의 효과

상술한 바와 같이 본 발명에 따르면, 스토리지 노드 패드 상에 형성된 스토리지 노드는 스토리지 노드 패드와 직접 접촉함과 아울러 비트라인 패드 보호막 패턴에 의해 비트라인 패드와 전기적으로 절연된다. 따라서, 종래의 기술에 비하여 스토리지 노드의 콘택저항을 감소시킬 수 있다.

#### (57) 청구의 범위

##### 청구항 1

반도체기판의 소정영역에 형성되어 활성영역을 한정하는 소자분리막과,

상기 활성영역의 상부를 가로지르는 한 쌍의 워드라인 패턴들과,

상기 각 워드라인 패턴의 양 옆에 위치한 활성영역에 형성된 불순물 영역들로서, 상기 한 쌍의 워드라인 패턴들 사이의 활성영역에 형성된 상기 불순물 영역은 공통 드레인 영역이고 상기 공통 드레인 영역의 양 옆에 형성된 상기 불순물 영역들은 소오스 영역들이고,

상기 각 워드라인 패턴의 측벽에 형성된 워드라인 스페이서와,

상기 공통 드레인 영역 상에 형성된 비트라인 패드와,

상기 각 소오스 영역 상에 형성된 스토리지 노드 패드와,

상기 비트라인 패드를 덮고 상기 워드라인 패턴들과 평행하게 달리는 비트라인 패드 보호막 패턴과,

상기 각 스토리지 노드 패드 상에 형성된 스토리지 노드를 포함하되, 상기 스토리지 노드는 상기 스토리지 노드 패드와 직접 접촉하고 상기 비트라인 패드와는 상기 비트라인 패드 보호막 패턴에 의해 전기적으로 절연되는 것을 특징으로 하는 디램 셀.

##### 청구항 2

제 1 항에 있어서,

상기 각 워드라인 패턴들은 차례로 적층된 워드라인 및 워드라인 캐핑막 패턴을 포함하는 것을 특징으로 하는 디램 셀.

##### 청구항 3

제 1 항에 있어서,

록 2002-0066138

상기 워드라인 패턴들과 평행한 직선 상에 위치한 상기 스토리지 노드들 사이에 개재된 비트라인 패턴을 더 포함하되, 상기 비트라인 패턴은 상기 워드라인 패턴들의 상부를 가로지르는 것을 특징으로 하는 디램 셀.

**청구항 4**

제 3 항에 있어서,

상기 비트라인 패턴은 차례로 적층된 비트라인 및 비트라인 개공막 패턴을 포함하는 것을 특징으로 하는 디램 셀.

**청구항 5**

제 3 항에 있어서,

상기 비트라인 패턴의 측벽에 형성된 비트라인 스페이서를 더 포함하는 것을 특징으로 하는 디램 셀.

**청구항 6**

제 4 항에 있어서,

상기 비트라인은 상기 비트라인 패드 보호막 패턴을 관통하는 비트라인 콘택홀을 통하여 상기 비트라인 패드와 전기적으로 연결되는 것을 특징으로 하는 디램 셀.

**청구항 7**

제 1 항에 있어서,

상기 스토리지 노드 상에 차례로 적층된 유전체막 및 플래티늄 전극을 더 포함하는 것을 특징으로 하는 디램 셀.

**청구항 8**

제 1 항에 있어서,

상기 스토리지 노드는 실린더 형태(cylindrical shape)를 갖는 것을 특징으로 하는 디램 셀.

**청구항 9**

반도체기판의 소정영역에 소자분리막을 형성하여 활성영역을 한정하는 단계;

상기 활성영역의 상부를 가로지르는 한 쌍의 워드라인 패턴들을 형성하는 단계;

상기 각 워드라인 패턴의 양 옆에 위치한 활성영역에 불순물을 주입하여 상기 한 쌍의 워드라인 패턴들 사이의 활성영역에 공통 드레인 영역을 형성함과 동시에 상기 공통 드레인 양 옆에 소오스 영역들을 형성하는 단계;

상기 각 워드라인 패턴의 측벽에 워드라인 스페이서를 형성하는 단계;

상기 공통 드레인 영역 상에 비트라인 패드를 형성함과 동시에 상기 각 소오스 영역 상에 스토리지 노드 패드를 형성하는 단계;

상기 비트라인 패드를 덮고 상기 워드라인 패턴들과 평행하게 달리는 비트라인 패드 보호막 패턴을 형성하는 단계; 및

상기 각 스토리지 노드 패드 상에 상기 각 스토리지 노드 패드와 접촉하는 스토리지 노드를 형성하되, 상기 각 스토리지 노드는 상기 비트라인 패드 보호막 패턴에 의해 상기 비트라인 패드와 전기적으로 연결되는 것을 특징으로 하는 디램 셀 제조방법.

**청구항 10**

제 9 항에 있어서,

상기 비트라인 패드 보호막 패턴을 형성하는 단계는

상기 비트라인 패드 및 상기 스토리지 노드 패드가 형성된 결과물 전면에 비트라인 패드 보호막을 형성하는 단계; 및

상기 비트라인 패드 보호막을 패터닝하여 상기 비트라인 패드를 덮고 상기 워드라인 패턴들과 평행하게 달리는 비트라인 패드 보호막 패턴을 형성하는 단계를 포함하되, 상기 비트라인 패드 보호막 패턴은 상기 스토리지 노드 패드를 노출시키는 것을 특징으로 하는 디램 셀 제조방법.

**청구항 11**

제 9 항에 있어서,

상기 비트라인 패드 보호막 패턴은 실리콘 질화막으로 형성하는 것을 특징으로 하는 디램 셀 제조방법.

**청구항 12**

제 9 항에 있어서,

상기 스토리지 노드를 형성하는 단계는

특 2002-0066138

상기 비트라인 패드 보호막 패턴을 갖는 반도체기판 전면에 비트라인 접연막을 형성하는 단계;  
 상기 비트라인 접연막 상에 상기 워드라인 패턴을 가로지르는 비트라인 패턴을 형성하는 단계;  
 상기 비트라인 패턴의 측벽에 비트라인 스페이서를 형성하는 단계;  
 상기 비트라인 스페이서를 갖는 반도체기판 전면에 하부 희생막을 형성하는 단계;  
 상기 비트라인 패턴, 상기 비트라인 스페이서, 상기 비트라인 패드 보호막 패턴, 및 상기 워드라인 패턴을 식각저지막으로 사용하여 상기 하부 희생막 및 상기 비트라인 접연막을 연속적으로 패터닝하여 상기 스토리지 노드 패드를 노출시키는 스토리지 노드 홀을 형성하는 단계;  
 상기 스토리지 노드 홀 내에 상기 스토리지 노드 패드와 접촉하는 스토리지 노드를 형성하는 단계; 및  
 상기 하부 희생막 및 상기 비트라인 접연막을 제거하여 상기 스토리지 노드의 외측벽을 노출시키는 단계를 포함하는 것을 특징으로 하는 디램 셀 제조방법.

**청구항 13**

제 12 항에 있어서,

상기 비트라인 접연막은 상기 비트라인 패드 보호막 패턴에 대하여 식각 선택비를 갖는 물질막으로 형성하는 것을 특징으로 하는 디램 셀 제조방법.

**청구항 14**

제 12 항에 있어서,

상기 비트라인 패턴을 형성하는 단계는

상기 비트라인 접연막 및 상기 비트라인 패드 보호막 패턴을 패터닝하여 상기 비트라인 패드를 노출시키는 비트라인 콘택홀을 형성하는 단계;

상기 비트라인 콘택홀이 형성된 결과를 전면에 상기 비트라인 콘택홀을 채우는 도전막을 형성하는 단계;

상기 도전막 상에 비트라인 캐핑막을 형성하는 단계; 및

상기 비트라인 캐핑막 및 상기 도전막을 연속적으로 패터닝하여 상기 비트라인 콘택홀을 덮고 상기 워드라인 패턴을 가로지르는 비트라인 및 상기 비트라인 상에 적층된 비트라인 캐핑막 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 디램 셀 제조방법.

**청구항 15**

제 12 항에 있어서,

상기 하부 희생막은 상기 비트라인 패드 보호막 패턴에 대하여 식각 선택비를 갖는 하부 희생접연막 및 화학기계적 연마 저지막을 차례로 적층시키며 형성하는 것을 특징으로 하는 디램 셀 제조방법.

**청구항 16**

제 9 항에 있어서,

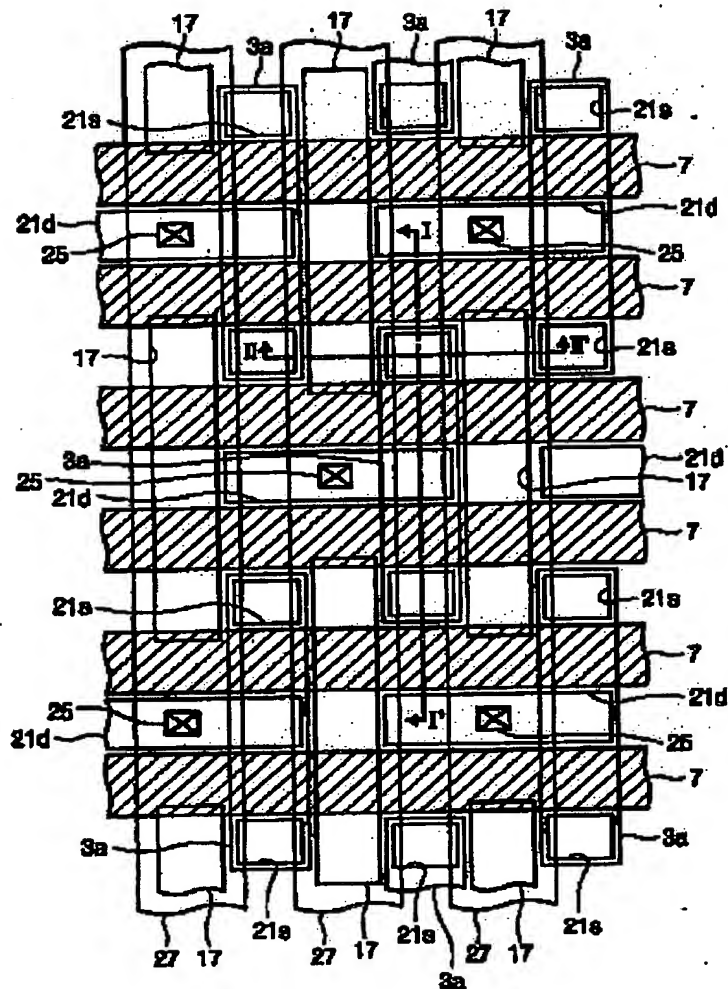
상기 스토리지 노드의 표면 상에 유전체막 및 클레이트 전극을 차례로 형성하는 단계를 더 포함하는 것을 특징으로 하는 디램 셀 제조방법.

도면

특 2002-0066138

도 1

(Prior Art)



18-8



2002-0066138

FIG 2a

(Prior Art)

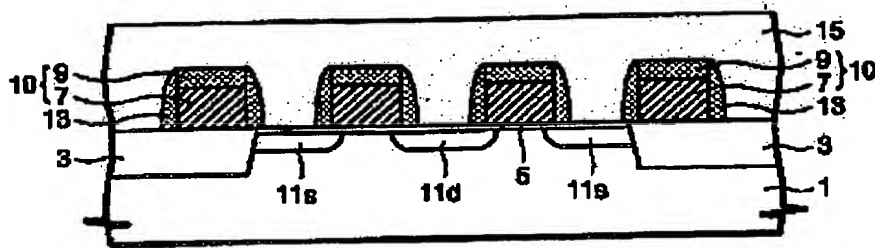


FIG 2b

(Prior Art)

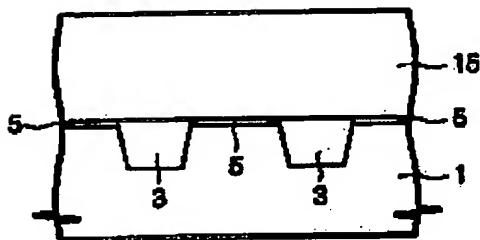
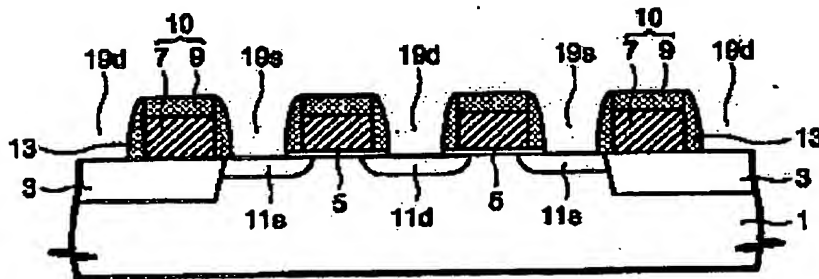


FIG 3a

(Prior Art)



18-9

2002-0066138

FIG 3b

(Prior Art)

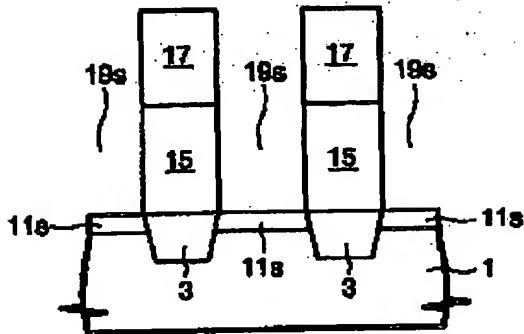
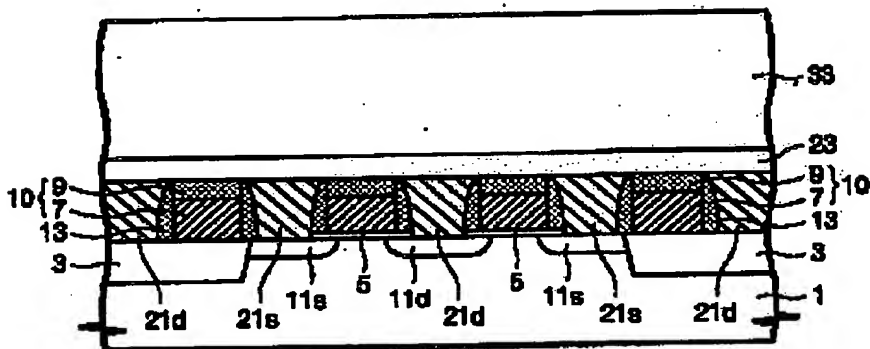


FIG 4a

(Prior Art)



2002-0066138

Fig. 4b

(Prior Art)

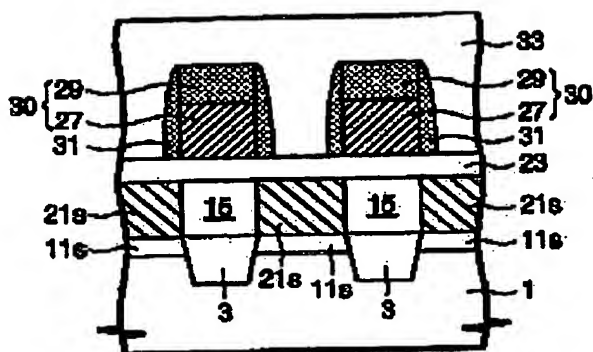
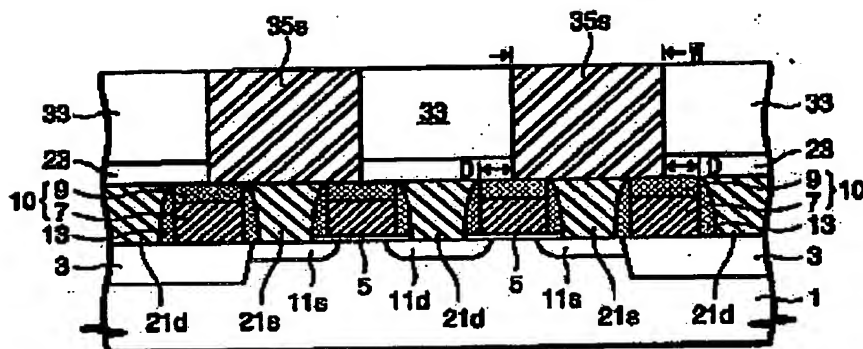


Fig. 5a

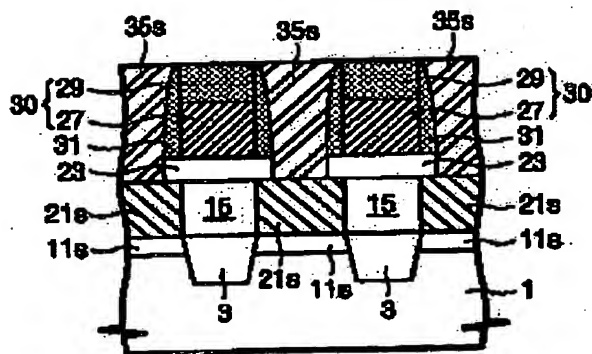
(Prior Art)



2002-0066138

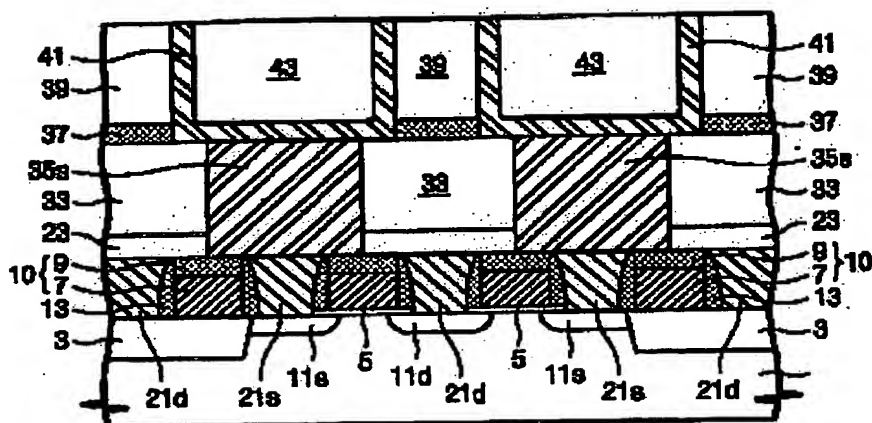
5015b

(Prior Art)



5016a

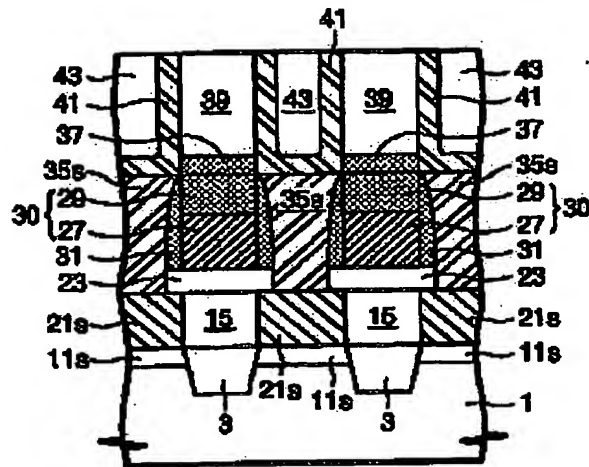
(Prior Art)



2002-0066139

5200

(Prior Art)





2002-0066138

FIG. 8a

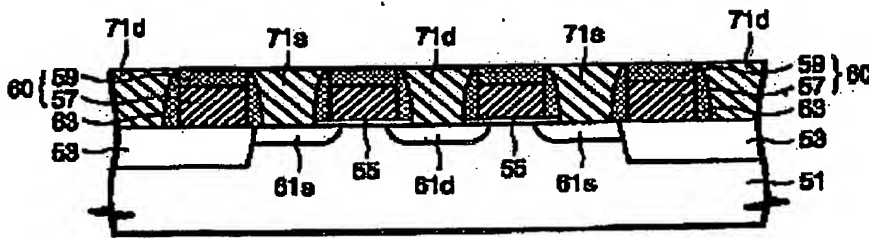


FIG. 8b

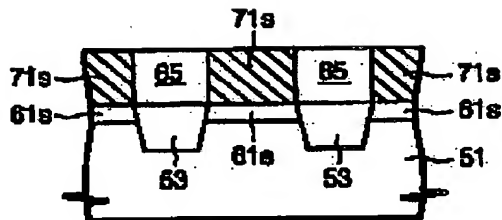


FIG. 8c

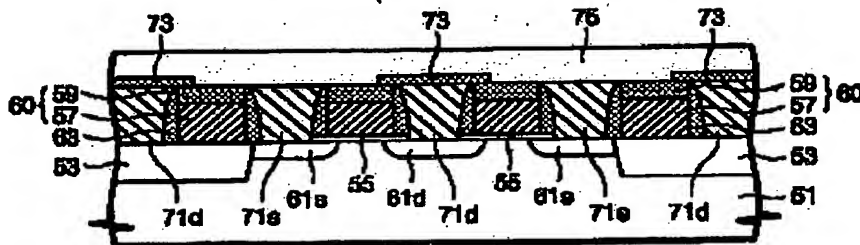
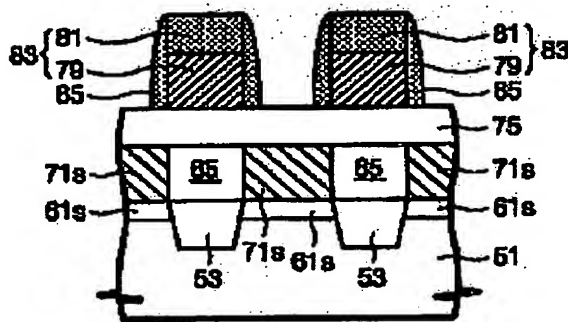


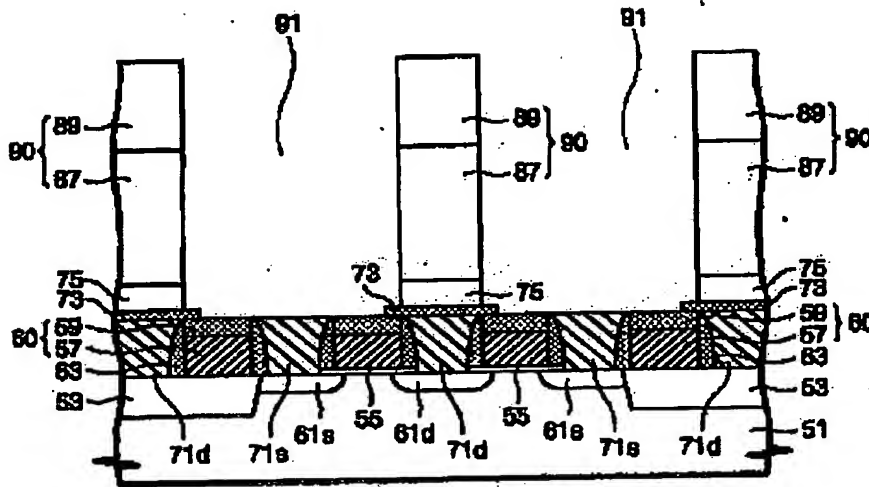
FIG. 8d



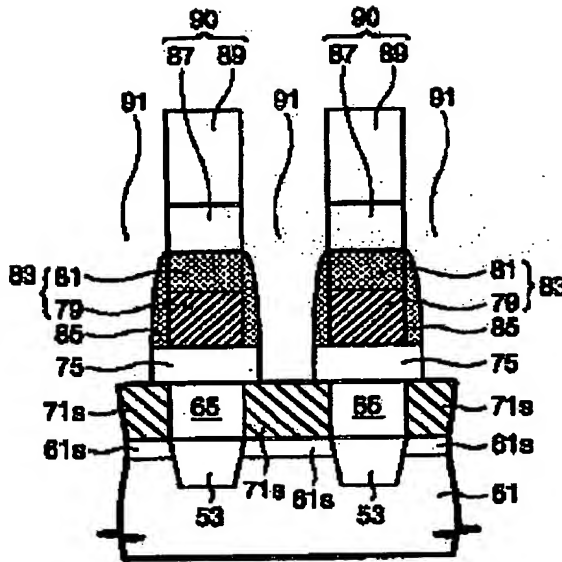
18-15

2002-0066138

도 10a



도 10b





2002-0066138

FIG. 11a

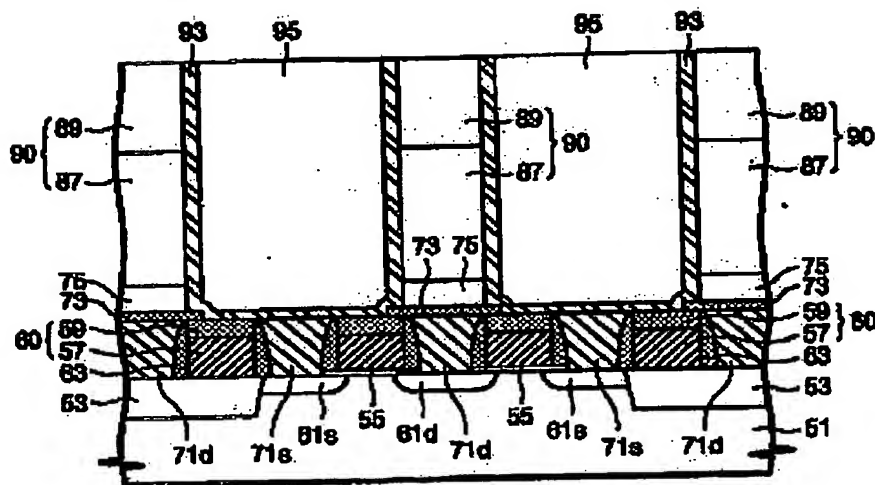
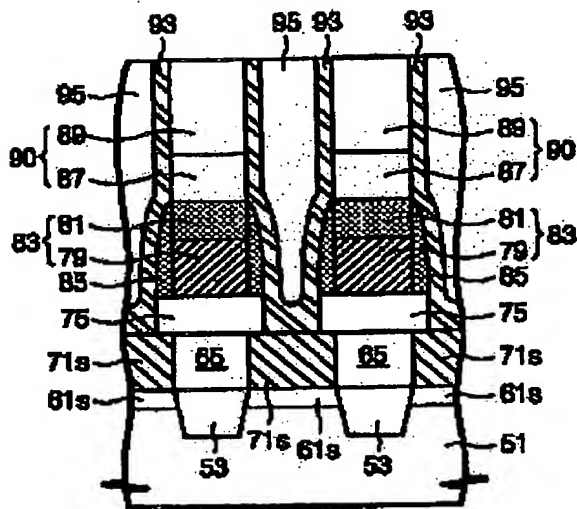
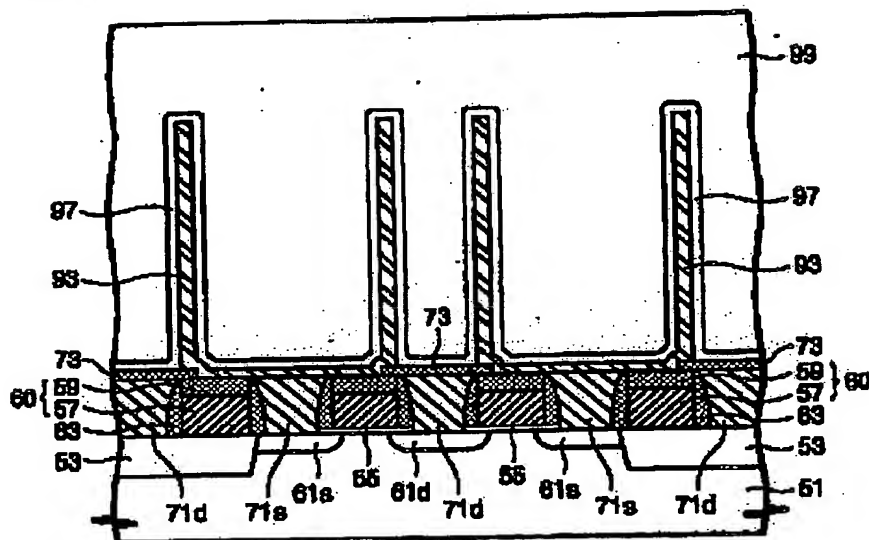


FIG. 11b



·특 2002-00661 38

도표 128



5P126

